



Pateikiama kasmet iki vasario 15 d.
Pildyti tik didžiosiomis spausdintinėmis raidėmis



F R 0 6 1 5

Versija **0 1**

Forma patvirtinta Valstybinės mokesčių inspekcijos
prie Lietuvos Respublikos finansų ministerijos
viršininko 2008 m. gruodžio 18 d. įsakymu Nr. VA-66
(2014 m. spalio 2 d. įsakymo Nr. VA-87 redakcija)



Juridinių asmenų registro
identifikacinis kodas **1**

Juridinio asmens
pavadinimas **2**

Buveinės
adresas **3**

Telefono nr. **4**

Elektroninio
pašto adresas **5**

**JURIDINIŲ ASMENŲ DUOMENYS APIE NUOLATINIŲ LIETUVOS GYVENTOJŲ SUMOKĖTAS PENSIJŲ DRAUDIMO
ĮMOKAS Į PENSIJŲ KAUPIMO FONDUS**

Pildymo data **6** - -

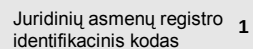
Mokestinis laikotarpis **7**

Papildomų lapų FR0615P
skaičius **8**

Bendras pateiktų įrašų (eilučių) skaičius
FR0615P formos lapuose **9**

Bendra sumokėtų pensijų įmokų suma
(FR0615P formos lapų P5 laukelių suma) **10**





1

Papildomo
lapo numeris

F R 0 6 1 5 P

Versija

0 1

Mokestinis laikotarpis 7



P1 Eilutės numeris

P2 Pensijų įmokų mokėtojo asmens kodas

P3 Pensijų įmokų mokėtojo vardas

P4 Pensijų įmokų mokėtojo pavardė

P5 Per mokestinį laikotarpį sumokėta pensijų įmokų suma

P6 Pensijų fondo dalyvio asmens kodas

P7 Pensijų fondo dalyvio vardas

P8 Pensijų fondo dalyvio pavardė

P9 Sutarties Nr.

P10 Sutarties įsigaliojimo data

P11 Sutarties pasibaigimo data

The diagram shows a 100x100 grid with 11 paths labeled P1 to P11. The paths are defined as follows:

- P1:** Row 1, columns 1 to 5.
- P2:** Row 2, columns 10 to 25.
- P3:** Row 3, columns 30 to 45.
- P4:** Row 4, columns 10 to 25.
- P5:** Row 5, columns 30 to 45.
- P6:** Row 6, columns 10 to 25.
- P7:** Row 7, columns 30 to 45.
- P8:** Row 8, columns 30 to 45.
- P9:** Row 9, columns 1 to 100.
- P10:** Row 10, columns 10 to 25.
- P11:** Row 11, columns 30 to 45.

The paths are colored as follows: P1-P8 are black, P9 is grey, and P10-P11 are red. The paths P10 and P11 contain the following sequence of characters: M, M, M, M, -, m, m, -, d, d.

The diagram illustrates a 100-bit bus system with 11 processors (P1-P11) and a central bus. The bus is 100 bits wide. Processors P1-P5 are on the top half, and P6-P11 are on the bottom half. Each processor has a 10-bit data path to the bus. The bus is divided into two 50-bit segments by a central vertical line. P1-P5 are connected to the top 50-bit segment, and P6-P11 are connected to the bottom 50-bit segment. The bus is labeled '100' at the top and bottom. The processors are labeled P1 through P11. The bus is divided into two 50-bit segments by a central vertical line. P1-P5 are connected to the top 50-bit segment, and P6-P11 are connected to the bottom 50-bit segment. The bus is labeled '100' at the top and bottom. The processors are labeled P1 through P11. The bus is divided into two 50-bit segments by a central vertical line. P1-P5 are connected to the top 50-bit segment, and P6-P11 are connected to the bottom 50-bit segment. The bus is labeled '100' at the top and bottom. The processors are labeled P1 through P11.

The diagram shows a 100x100 grid with 11 paths (P1-P11) highlighted in yellow. The paths are defined by black dots at their start and end points. P1 is a horizontal path at the top. P2 is a horizontal path below P1. P3 is a horizontal path below P2. P4 is a horizontal path below P3. P5 is a horizontal path below P4. P6 is a horizontal path below P5. P7 is a horizontal path below P6. P8 is a horizontal path below P7. P9 is a horizontal path below P8. P10 is a horizontal path below P9. P11 is a horizontal path below P10. The paths are labeled P1 through P11.